

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-116142

(43)Date of publication of application : 02.05.1997

(51)Int.Cl.

H01L 29/78
H01L 21/265
H01L 21/76
H01L 21/3205
H01L 29/41
H01L 21/336

(21)Application number : 07-274405

(71)Applicant : DENSO CORP

(22)Date of filing : 23.10.1995

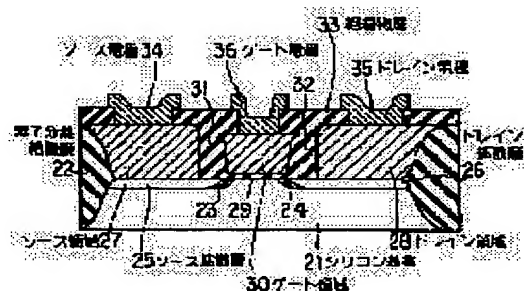
(72)Inventor : OSHIMA HISAZUMI
YAMAUCHI SHOICHI

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device such as a MOS transistor having a levelled top surface by a method wherein the heights of source and drain parts agree with the height of a gate part.

SOLUTION: An element isolation insulating film 22 is formed on the surface of a silicon substrate 21 so as to surround an element forming region. A polycrystalline silicon source region 27 and a polycrystalline silicon drain region 28 are formed in the element forming region so as to have their heights agree with the height of the element isolation insulating film 22. Insulating layers 31 and 32 are formed on the side walls of an opening formed between the regions 27 and 28. A polycrystalline silicon gate region 30 is formed between the insulating layers 31 and 32. The gate region face the source region 27 and the drain region 28 with surfaces perpendicular to the surface of the substrate 21. An insulating layer is formed over the whole surface to level the surface and respective electrodes 34-36 of the source, drain and gate are formed.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

Best Available Copy

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平9-116142

(43)公開日 平成9年(1997)5月2日

(51)Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	21/265			21/265
	21/76			21/76
	21/3205			21/88
	29/41			29/44
				3 0 1 S
				Z
				M
				K
				C

審査請求 未請求 請求項の数11 O L (全 8 頁) 最終頁に続く

(21)出願番号 特願平7-274405

(22)出願日 平成7年(1995)10月23日

(71)出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72)発明者 大島 久純

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72)発明者 山内 庄一

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

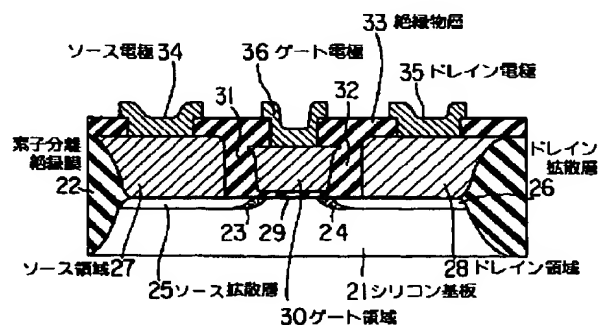
(74)代理人 弁理士 鈴江 武彦

(54)【発明の名称】 半導体装置およびその製造方法

(57)【要約】

【課題】この発明は、ソースおよびドレイン部の高さとゲート部の高さが一致されるようにして、上面部が平坦化される、例えばMOSトランジスタのような半導体装置を提供することを課題とする。

【解決手段】シリコン基板21の表面に、素子形成領域を囲むように素子分離絶縁膜22を形成し、素子形成領域に素子分離絶縁膜22の高さと一致する高さで、多結晶シリコンによりソース領域27、ドレイン領域28を形成する。この領域27、28の間に形成された開口の側壁部の側壁に絶縁物層31、32を形成し、その間に多結晶シリコンによるゲート領域30を形成する。このゲート領域は、基板21の面に垂直な面でソース領域27、ドレイン領域28に対面し、その表面部全面に絶縁物層を形成して平坦化し、ソース、ドレイン、ゲートの各電極34~36を形成する。



【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板表面の素子形成領域を取り囲むように前記半導体基板表面に突設されるように形成されて絶縁物により構成された素子分離手段と、

前記半導体基板の前記素子形成領域に形成され、前記素子分離手段の高さに規制された高さに設定されるソースおよびドレイン領域と、

これらのソースおよびドレイン領域にそれぞれ対応して、前記半導体基板に形成されたソースおよびドレインを形成する拡散層と、

このソースおよびドレイン領域に隣接して、前記半導体基板表面に垂直な面で前記ソースおよびドレイン領域に前記半導体基板面に垂直な面で対面され、その上面が前記ソースおよびドレイン領域の高さと等しくなる状態でゲート絶縁膜を介して形成されたゲート領域と、前記ソースおよびドレイン領域それぞれとゲート領域との間、およびそれらの領域の上に形成されてその表面が平坦化された絶縁物層とを具備し、

この絶縁物層から突設されるように前記ソース領域およびドレイン領域と共にゲート領域に接続してソース、ドレイン、ゲートの各電極が形成されるようにしたことを特徴とする半導体装置。

【請求項2】 前記素子分離手段に囲まれた前記素子形成領域の表面上に、前記素子形成領域の前記半導体基板表面に形成されたソースおよびドレイン拡散層に対応して、前記素子分離手段の高さに一致する高さに設定された導体で構成された前記ソースおよびドレイン領域が形成されるようにした請求項1記載の半導体装置。

【請求項3】 前記導体は、前記ソースおよびドレイン拡散層に対応して形成された高濃度不純物を含む多結晶もしくは単結晶シリコン層により構成された請求項2記載の半導体装置。

【請求項4】 前記半導体基板の前記素子分離手段で囲まれた素子形成領域の表面部にゲート形成領域に対応して形成された開口を形成し、この開口部に対応してイオン注入によりソースおよびドレイン領域とされる拡散層を形成すると共に、前記開口の側壁面にそれぞれに絶縁物層を形成し、さらに前記開口の底面部の前記半導体基板面にゲート絶縁膜を形成するもので、前記ゲート絶縁膜上に前記絶縁物層の相互間に導体によるゲート領域が形成されるようにした請求項1記載の半導体装置。

【請求項5】 前記半導体基板上に突出して形成された素子分離手段で囲まれた素子形成領域に、導体層およびシリサイド層を積層形成し、この積層体に前記半導体基板表面に至る開口を形成すると共に、この開口の底部にゲート絶縁膜さらに側壁部に絶縁層を形成し、この絶縁層に囲まれた前記開口内部に導体層およびシリサイド層の積層体によるゲート領域が形成されるようにした請求項1記載の半導体装置。

【請求項6】 半導体基板の表面に素子形成領域を取り囲むように素子分離絶縁膜を形成する第1の工程と、前記素子形成領域に前記素子分離絶縁膜の表面と一致する高さで導体層を形成する第2の工程と、前記導体層のゲート形成領域に対応して前記半導体基板が露出される開口を形成し、ソース領域およびドレイン領域を分離形成する第3の工程と、前記開口内にイオン注入し、ソースおよびドレインに対応する拡散層を形成する第4の工程と、前記開口の底面部にゲート絶縁膜を形成すると共に、前記開口の側面に絶縁物層を形成する第5の工程と、前記ゲート絶縁膜並びに絶縁膜層で囲まれた開口内に導体層を形成し、その上面を前記ソース領域およびドレイン領域と高さが一致されるようにしたゲート領域を形成する第6の工程とを具備し、前記ソース領域、ドレイン領域、およびゲート領域の表面部に平坦化された絶縁物層を形成し、ソース電極、ドレイン電極、並びにゲート電極が形成されるようにしたことを特徴とする半導体装置の製造方法。

【請求項7】 前記ソース領域およびドレイン領域、並びにゲート領域を構成する導体は多結晶シリコンでなる請求項6記載の半導体装置の製造方法。

【請求項8】 前記ソース領域およびドレイン領域、並びにゲート領域を構成する導体は、多結晶シリコンおよびシリサイドの積層構造体でなる請求項6記載の半導体装置の製造方法。

【請求項9】 半導体基板の表面に素子形成領域を取り囲むように素子分離絶縁膜を形成する第1の工程と、前記素子形成領域に前記素子分離絶縁膜の表面に導体層を形成する第2の工程と、前記素子形成領域のゲート形成領域に対応して前記導体層を含み半導体基板に至る開口を形成する第2の工程と、

前記開口内にイオン注入し、前記開口の側壁部にソースおよびドレインに対応する拡散層を形成する第3の工程と、前記開口の底面部にゲート絶縁膜を形成すると共に、前記開口の側面に絶縁物層を形成する第4の工程と、前記ゲート絶縁膜並びに絶縁膜層で囲まれた開口内に導体層を形成し、その上面を前記ソース領域およびドレイン領域と高さが一致されるようにしたゲート領域を形成する第5の工程とを具備し、前記ソース、ドレイン、およびゲートの表面部に平坦化された絶縁物層を形成し、ソース電極、ドレイン電極、並びにゲート電極が形成されるようにしたことを特徴とする半導体装置の製造方法。

【請求項10】 前記開口内に斜め上方からイオン注入し、前記開口に対応する前記半導体基板の露出面部にソースおよびドレインに対応する拡散層が形成されるようにした請求項6もしくは9に記載の半導体装置の製造方

法。

【請求項11】 前記開口内に半導体基板の垂直方向からイオン注入し、前記開口部で露出された前記半導体基板面に拡散層を形成すると共に、前記開口内に前記絶縁層が形成された後に前記拡散層を形成するために注入した不純物と反対導電型の不純物を前記垂直の方向から注入し、前記絶縁層で囲まれた領域の前記拡散層の不純物を補償して、ソースおよびドレインに対応する拡散層が分離形成されるようにした請求項6もしくは9に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、例えばMOSTランジスタ構造においてゲート電極部の表面とソースおよびドレイン電極部の表面の平坦化が可能とされるようにした半導体装置およびその製造方法に関する。

【0002】

【従来の技術】MOSTランジスタは、例えば特公平6-103696号公報に示され、また図8で示されるように構成されている。すなわち、シリコン等の半導体基板11の表面に素子形成領域を取り囲むようにして、例えばLOCOS酸化膜による素子分離領域12が形成され、素子形成領域に不純物の拡散によりソース13およびドレイン14が形成されている。そして、このソース13およびドレイン14の相互間に対応する基板11の表面にゲート酸化膜15を形成し、このゲート酸化膜15上に多結晶シリコン等によるゲート16を形成する。そして、ソース13およびドレイン14に対応する素子形成領域の半導体基板11上にソース電極17およびドレイン電極18を突設形成し、さらにゲート16上にゲート電極19を突設形成する。

【0003】すなわち、このようなMOSTランジスタの構造にあっては、ソース13およびドレインの高さは一致しているが、ゲート16は半導体基板11の表面のゲート酸化膜15上に形成されるものであるため、必然的にソース13およびドレイン14とゲート16の半導体基板11面上からの高さが相違しているものであり、MOSTランジスタの微細化と共に半導体ウエハの表面の段差が激化し、フォトリソグラフィにおけるフォーカスの問題が生じ、さらに表面の保護絶縁膜上に形成されるアルミニウム配線の段切れの問題を引き起こしている。

【0004】したがって、このような表面段差の発生を抑制すべく配線間の平坦化が精力的に行われているものであるが、それにも関わらずMOSTランジスタ部分の平坦化が行われていないのが現状である。

【0005】図7でも示されるように、一般的にランジスタ部分はソースおよびドレイン部の表面よりもゲート部の表面が高い位置にあり、必然的にその表面に凹凸が生ずる。このため、本件出願人の先願に係る特開平6-333944号公報に示されるように、半導体基板上の素子形成領域を取り囲むように、この基板面より突出

する状態で形成される素子分離絶縁膜上までソースおよびドレイン拡散領域に接続される導体配線層を延長形成し、ソースおよびドレインの基板上的位置をそろえることが考えられている。しかし、この様にしてもMOSTランジスタ部分の平坦化を達成することはできない。

【0006】

【発明が解決しようとする課題】この発明は上記のような点に鑑みなされたもので、例えばMOSTランジスタ構造の平坦化が達成されるように、ソースおよびドレイン部の高さやゲート部の高さが一致できるようにして、このランジスタ部分の上面部が平坦化され、表面部の段差が無くされるようにして表面配線間の平坦化が容易に達成できるようにした半導体装置およびその製造方法を提供しようとするものである。

【0007】

【課題を解決するための手段】この発明は、半導体基板表面の素子形成領域を取り囲むように形成した素子分離部の高さで規制されるようにソースおよびドレイン領域を形成すると共に、素子形成領域に対してこのソースおよびドレイン領域と高さが一致するような状態でゲート領域を形成するもので、この高さが一致された状態のソースおよびドレインさらにゲート領域の上に表面の平坦化された絶縁物層を形成し、それぞれに対応する電極が形成されるようにしている。

【0008】ここで、半導体基板の素子形成領域にはソースおよびドレインを構成する拡散層が形成されているもので、その各拡散層部に対応して不純物を含む多結晶もしくは単結晶シリコン等の導体を重ねて形成してソースおよびドレイン領域とすると共に、前記素子形成領域にゲート絶縁膜を介して同じく導体によるゲート領域を形成して、ソースおよびドレイン領域と一致する高さでゲート領域が形成されるようにする。

【0009】また、素子形成領域に開口を形成してこの開口の対向する側壁部にイオンを注入拡散してソースおよびドレインを形成すると共に、この開口の底面にゲート絶縁膜を形成し、さらにソースおよびドレイン部に絶縁物層を形成し、この絶縁物層で囲まれた部分に導体によるゲート領域が形成されるようにしている。

【0010】この様に構成される半導体装置にあっては、半導体基板の表面に突設される素子分離部の高さに一致する状態、あるいはこの素子分離部で囲まれた素子形成領域の表面に一致するような状態でソース領域およびドレイン領域、さらにゲート領域が形成されるものであり、これらの上に形成される絶縁物層の表面が容易且つ確実に平坦化された構成とされる。したがって、この絶縁物層の表面には段差が存在せず、フォトリソグラフィにおけるフォーカスや配線の段切れの問題が解決される。また、ソースおよびドレイン領域の側部における絶縁膜の厚さをコントロールすることによって、その相互間のゲート領域がマスク寸法よりも微細にセルフアライ

的に構成できるものであり、さらに導体をシリサイドプロセスにより形成することで、ゲートとソースおよびドレイン間の絶縁分離を確実なものとして且つ横方向の異常拡散によるジャンクション破壊が防止される。

【0011】

【発明の実施の形態】以下、図面を参照してこの発明の実施の形態を説明する。図1は第1の実施形態を示すもので、シリコン基板21の表面上に素子形成領域を取り囲むようにして素子分離絶縁膜22が形成される。この素子分離絶縁膜22は、シリコン基板21の表面をLOCOS酸化することによって形成されるもので、基板21の面よりも突出する状態で形成される。シリコン基板21の素子形成領域には、拡散層23および24が形成されるもので、この拡散層23および24にそれぞれ対応してソース拡散層25およびドレイン拡散層26が形成される。

【0012】このソース拡散層25およびドレイン拡散層26の表面部には、それぞれ高濃度不純物をドーパした多結晶シリコンによるソース領域27およびドレイン領域28が形成されるもので、このソース領域27およびドレイン領域28のそれぞれ上面は、素子分離絶縁膜22の上面と一致する高さに設定されている。

【0013】このソース領域27とドレイン領域28との間のシリコン基板21の表面には、ゲート酸化膜29が形成されるもので、このゲート酸化膜29の上には高濃度不純物をドーパした多結晶シリコンによるゲート領域30が形成される。そして、このゲート領域30とソース領域27およびドレイン領域28それぞれとの間には絶縁物層31および32が介在され、またソース領域27およびドレイン領域28、さらにゲート領域30部の全体の上には絶縁物層33が形成させるもので、この絶縁物層33の表面が平坦化されている。この絶縁物層33には、ソース領域27、ドレイン領域28、さらにゲート領域30にそれぞれ対応してコンタクト孔が形成され、ソース電極34およびドレイン電極35、さらにゲート電極36が形成される。

【0014】図2はこの様な半導体装置の製造工程を説明するためのもので、まず(A)図で示すようにシリコン基板21の表面に、素子形成領域を取り囲むように従来工程と同様に素子分離絶縁膜22を形成する。ここで、この素子分離絶縁膜22の表面が以降の平坦化された素子部を構成するための基準面とされるもので、シリコン基板21の素子形成領域部の表面と素子分離絶縁膜22の表面とは、Hの高低差が存在される。

【0015】そして、この素子分離絶縁膜22部を含むシリコン基板21の表面に、ソースさらにドレイン領域を固相拡散技術を使用して形成するときに必要となる不純物を含んだ多結晶シリコン層40を堆積する。この場合、この多結晶シリコン層40の厚さは、Hよりも大きいものとする。この多結晶シリコン層40は導体層を形成するものであるため、単結晶シリコンの層によって構成することもできる。

【0016】次に(B)図で示されるように、この堆積された多結晶シリコン層40を素子分離絶縁膜22の表面に一致するまで、従来から知られているようなエッチバック法やCMP(化学機械研磨)法によってエッチングし、その後ゲート部分とされる領域部に、パターニングおよびエッチングによって開口41を形成するもので、これによりソース領域27およびドレイン領域28が分離形成される。

【0017】(C)図においては、開口41によって露出されたシリコン基板21の表面にイオンを注入するものであるが、この場合図で矢印で示すように開口21の対向する側壁に向けて斜め方向からイオン注入により不純物を注入し、ソースおよびドレインの形成部に対応して拡散層23および24を形成する。ここで、イオン注入を矢印のように斜めにすることによって、必要領域以外への不純物の注入が防げる。

【0018】次に、開口41の形成された多結晶シリコン層によるソース領域27およびドレイン領域28を含む上面に、CVDや熱酸化を組み合わせることにより絶縁膜を堆積し、その後異方性エッチングによって開口41の内部をエッチングして絶縁物層31および32を形成し、さらに熱酸化によってゲート酸化膜29を形成する。

【0019】なお、シリコン基板21上のトランジスタの配置によっては、4方向からイオンの注入が行われ、必要領域以外へもイオン注入されてしまう状況が発生する場合がある。この様な場合には、絶縁物層31および32が形成された後拡散層23および24を形成したときに用いた不純物と反対導電型の不純物(例えばn型の不純物を拡散層23および24に用いたならばp型の不純物)を、必要領域以外へ注入された不純物を補償する量だけ注入する工程を加える。

【0020】この様に開口41の側壁部に絶縁物層31および32が形成され、さらにゲート酸化膜29が形成されたならば、その表面上に多結晶シリコンを堆積し、その後エッチバック法やCMP法によってエッチバックして、

(E)図に示すように絶縁物層31および32で囲まれた開口41の内部に、ゲート領域30を形成する。このとき、ゲート領域30の高さが、素子分離絶縁膜22のシリコン基板21の表面からの高さHとほぼ等しくされるもので、このゲート領域30とソース領域27およびドレイン領域28とが、それぞれシリコン基板21の表面に垂直な面でのみ対面される。

【0021】その後、(F)図で示すように熱酸化やCVDを組み合わせるゲート領域30の表面に絶縁物層33を形成するもので、この絶縁物層33の表面を平坦化した後コンタクト孔を形成し、図1で示したように各電極を形成して、この半導体装置が完成される。このとき、ゲートやソースおよびドレインを低抵抗化するため、各領域にシリサイドを形成するようにしてもよい。

【0022】図3および図4は第2の実施形態に係る半

導体装置の製造工程を示すもので、た第1の実施形態にあってはソース領域およびドレイン領域を高くしてゲート領域と高さとが一致されるようにしたが、この実施形態にあっては、ゲート領域部分をシリコン基板21の表面部から掘り込むことによって表面の平坦化を図るようにしている。

【0023】まず、図3の(A)で示すようにシリコン基板21に対して、その表面から突設されるようにして素子分離絶縁膜22が形成され、素子形成領域に対してイオン注入を行い、(B)図で示すように高濃度拡散層43を素子形成領域部に形成する。そして、(C)図に示すように素子形成領域のゲート部分となる領域をパターンニングおよびエッチングを行うことにより開口44を形成する。

【0024】この様に開口44が形成されたならば、(D)図で示すようにこの開口44部に対して図2の(C)の場合と同様にイオンを注入し、開口44の対向する側壁部に拡散層45および46を形成してソースおよびドレインとする。

【0025】この実施の形態においても、先の実施形態と同様にシリコン基板21上のトランジスタの配置によっては4方向からイオン注入され、必要領域以外にもイオン注入されてしまうことがある。この様な場合には、開口44の側壁部に後述する絶縁物層47および38を形成した後、拡散層45および46を形成したときに用いた不純物と反対導電型の不純物を、必要領域以外に注入された不純物を補償する量だけ注入する。

【0026】次に図4の(A)に示すように、図2の(D)と同様に開口44の側壁部に絶縁物層47および48を形成し、さらに同図の(B)に示すように開口44の底面に熱酸化によってゲート酸化膜29を形成する。その後、全面にゲート領域を構成するための多結晶シリコンを堆積するもので、この場合この堆積される多結晶シリコンの層の厚さは第1の実施形態の場合に比較して十分に薄く形成されるもので、同様に適宜シリサイド膜もしくは金属膜を堆積させる。

【0027】この様に全面に多結晶シリコン膜が堆積されたならば、エッチバック法によって開口44の内部にゲート領域30が形成されるようにするもので、この場合ゲート領域30の上面とソースおよびドレインとされる拡散層45および46の上面とがほぼ同じ高さとされるように制御し、ゲート領域30のシリコン基板21の表面に垂直な面が、ソースおよびドレインと対面されるようにする。

【0028】その後、表面全体にCVDによりゲート領域30の表面部に絶縁物層49を形成するもので、その後は(D)図で示すように高濃度拡散層43によるソース領域27およびドレイン領域28、さらにゲート領域30に対応してコンタクト孔を形成して、ソース電極34、ドレイン電極35およびゲート電極36を形成して、この半導体装置が完成される。

【0029】図5は第3の実施形態に係る半導体装置の製造工程を示すもので、この実施の形態にあっては、特にソースおよびドレイン、さらにゲート部分の低抵抗化を図っている。すなわち、まず(A)図で示すようにシリコン基板21に対して、素子形成領域を取り囲むように素子分離絶縁膜22を形成するもので、その表面全体に高濃度不純物をドーピングした多結晶シリコン層50を堆積する。この場合、この多結晶シリコン層50の厚さは、素子分離絶縁膜22の基板21の表面からの突出高さHよりは十分に薄く形成する。そして、この高さHの分を補うために多結晶シリコン層50の上に、シリサイド膜51(もしくは金属膜)を形成して、多結晶シリコン層50とシリサイド膜51との重ねられた厚さを、Hよりも厚く構成する。

【0030】すなわち、図2の(A)と類似した構成とされるもので、その後は(B)図で示すように多結晶シリコン層50とシリサイド膜51との積層体を、素子分離絶縁膜22の面までエッチバックし、さらにゲート形成領域に対応してシリコン基板21の面が露出されるまでエッチングして開口52を形成する。

【0031】次に図5の(C)で示すように開口52に対して斜め上方から矢印で示すようにイオン注入し、開口52の底の対向する両側に拡散層23および24を形成する。この様に、開口52によって分離された多結晶シリコン層50とシリサイド膜51によってソース領域27およびドレイン領域28が形成され、このソース領域27とドレイン領域28との間の開口52の底部に対応するシリコン基板21の表面には、(D)図で示すようにゲート酸化膜29が形成され、さらに開口52の対向する側壁部には絶縁物層31および32が形成されるもので、表面の全体に絶縁物層53が形成されるようにする。

【0032】この実施形態においても、先の実施形態と同様にシリコン基板21上のトランジスタの配置によっては4方向からイオン注入され、必要領域以外にもイオン注入されてしまう状況が発生することがある。この様な場合には、絶縁物層31および32を形成したときに用いた不純物と反対導電型の不純物を、必要領域以外に注入された不純物を補償する量だけ注入する工程を加える。

【0033】この開口52の内部を含み絶縁物層53の上面には、高濃度不純物をドーピングした多結晶シリコン54を形成し、さらにシリサイド膜55の層を積層形成し、これをエッチバックすることにより、(E)図で示す開口52の内部にゲート領域30を形成する。この場合、ゲート領域30の表面がソース領域27およびドレイン領域28の上面とほぼ一致するように設定し、ゲート領域30がソース領域27およびドレイン領域28に対して、シリコン基板21の表面に垂直な面でのみ対面されるようにする。

【0034】図6は図5の(E)に続く製造工程を示しているもので、このゲート領域30部分を含む全面にCVDにより絶縁物層56を形成し、この絶縁物層56に対してソース領域27およびドレイン領域28、さらにゲート領域

30部に対応してそれぞれコンタクト孔を形成し、ソース電極34およびドレイン電極35、さらにゲート電極36をそれぞれ形成して、この半導体装置が完成される。

【0035】この様に第1ないし第3の実施形態で説明した半導体装置にあっては、ゲート領域30の表面とソース領域27およびドレイン領域28の表面の高さが、シリコン基板21に形成した素子絶縁膜22の表面の高さに対応して規制されるようになり、この様にして構成されたMOSトランジスタの表面が平坦化される。この様な構成とされることにより、その製造工程においてゲート領域を規定する開口を形成するマスク幅と、絶縁物層31および32の横方向の厚さによって規制され、マスク幅よりも微細なゲート領域30がセルフアライン的に構成される。

【0036】また、ソースおよびドレインさらにゲート領域の低抵抗化のためにシリサイド手法が例示されているが、ゲート領域30とソース領域27およびドレイン領域28を分離する側壁酸化膜に、イオン注入やドライエッチングによりダメージが蓄積され、これが原因となってゲートとソースおよびドレイン間の絶縁分離が不完全となる障害が現れることがある。これに対して実施形態にあっては、ゲート領域30とソース領域27およびドレイン領域28の分離部分は、イオン注入やドライエッチングによるダメージが入らず、確実な絶縁分離が可能とされる。

【0037】さらに従来の構成にあっては、側壁酸化膜の下部を通してシリサイド材料の横方向の異常拡散によるジャンクション破壊があるが、実施形態に示した例ではシリサイド化部分とジャンクション位置が離れているものであるため、この様な問題は回避される。

【0038】なお、これまでの実施の形態においては、ソースおよびドレインを形成するために開口部に対して斜め方向からイオン注入した（例えば図2の（C）に示す工程）。しかし、この様な斜め方向からイオン注入することでのみソースおよびドレイン拡散層が形成できるものではない。

【0039】例えば、図2の（A）および（B）の工程が終了して多結晶シリコン層40に開口41が形成されたならば、図7の（A）で示すように開口41を介してシリコン基板21の露出面に対して図で矢印で示すように垂直方向からイオン注入により不純物を注入して、拡散層の原形60を形成する。

【0040】次に、同図の（B）で示すようにシリコン基板21上に形成されたソース領域27およびドレイン領域28を含む上面に、CVDや熱酸化を組み合わせることに

より絶縁膜を堆積し、その後異方性エッチングによって開口41の内部をエッチングして絶縁物層31および32を形成する。続いて、（A）図で拡散層を形成するために注入した不純物と反対導電型の不純物を、（A）図で注入した不純物とほぼ同量シリコン基板21に対して垂直方向から注入する。このイオン注入によってこの図で示す開口41部分は不純物が補償され、最終的にソースおよびドレインとされる拡散層23および24が形成される。そして、その後熱酸化によってゲート酸化膜29を形成するもので、これ以降は図2の（E）以降と同様の工程によって半導体装置が完成される。

【0041】さらに、図3で示した実施形態にあっててもその（D）で示すイオン注入に際して同様な工程で垂直方向からのイオン注入によってソースおよびドレイン拡散層が分離形成できるものであり、図5で示す実施形態にあってても、その（C）図で示す工程で上記同様のイオン注入工程でソースおよびドレイン拡散層が形成できる。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態に係る半導体装置を説明する断面構成図。

【図2】（A）～（F）は図1で示した半導体装置の製造工程を順次説明する図。

【図3】（A）～（D）はこの発明の第2の実施形態に係る半導体装置の製造工程を説明する図。

【図4】（A）～（D）は図3の（D）に続く製造工程を説明する図。

【図5】（A）～（E）はこの発明の第3の実施形態に係る半導体装置の製造工程を説明する図。

【図6】（A）、（B）は図4の（E）に続く製造工程を説明する図。

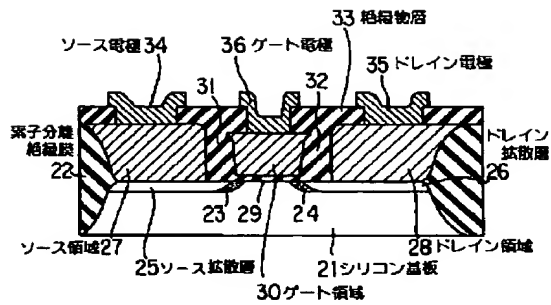
【図7】（A）および（B）はこの発明の第4の実施形態に係る半導体装置の製造工程を説明する図。

【図8】従来の半導体装置を説明する断面構成図。

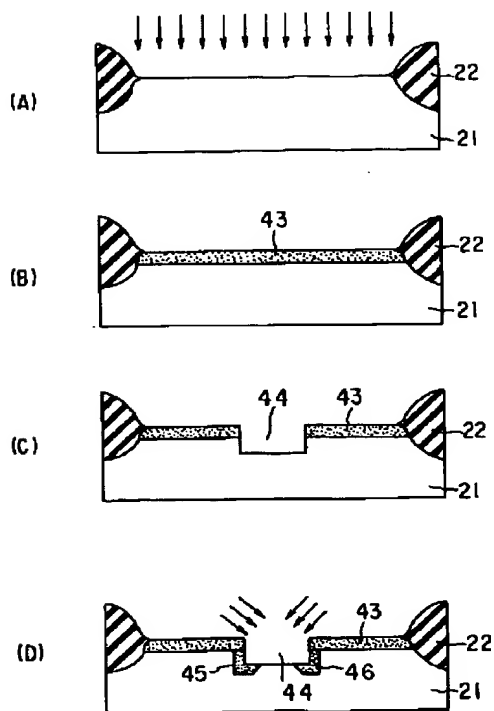
【符号の説明】

21…シリコン基板、22…素子分離絶縁膜、23、24、45、46…拡散層、25…ソース拡散層、26…ドレイン拡散層、27…ソース領域、28…ドレイン領域、29…ゲート酸化膜、30…ゲート領域、31、32、33、47、48、49、53…絶縁物層、34…ソース電極、35…ドレイン電極、36…ゲート電極、40、50…多結晶シリコン層、41、44、52…開口、43…高濃度拡散層、51…シリサイド膜。

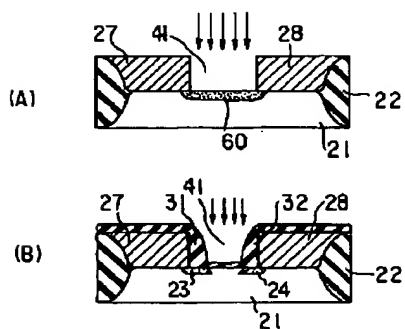
【図 1】



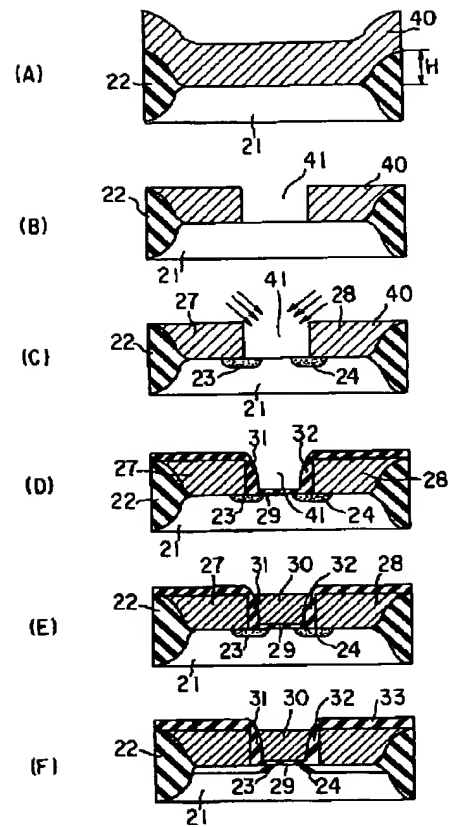
【図3】



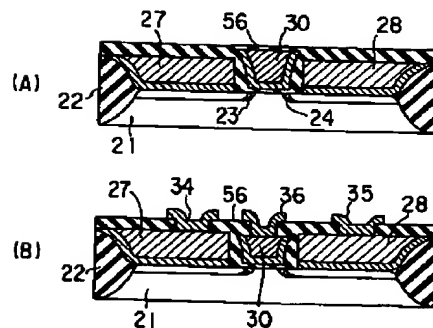
【図7】



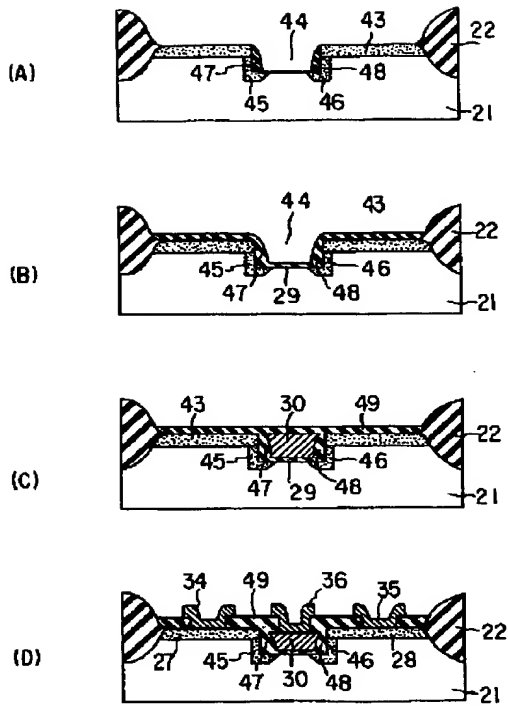
【図2】



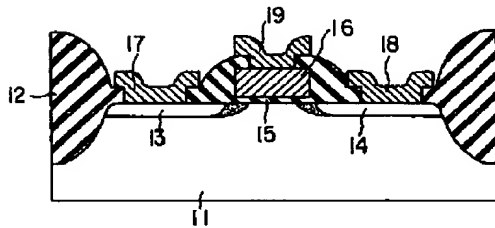
【図6】



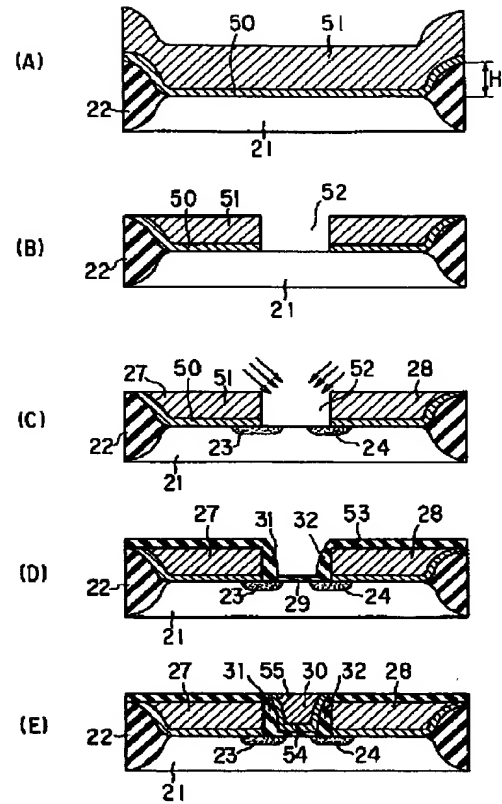
【図4】



【図8】



【図5】



フロントページの続き

(51)Int. Cl.⁶
H01L 21/336

識別記号 庁内整理番号

F I
H01L 29/78

技術表示箇所

301P